

109 年 四技二專

統一入學測驗

電機與電子群資電類專業科目(二)

數位邏輯、數位邏輯實習

(本試題答案係依據統一入學測驗中心於109年5月4日公布之參考答案)

◊ 試題分析 ◊

一、命題焦點

本年度數位邏輯(含實習)各單元試題分布平均,難易度適中,但需對相關的元件特性、功能及電路原理及分析有相當程度的了解才能考取高分。惟組合邏輯應用電路中的加減法器今年未出現試題較令人意外。

在各單元的試題分配方面:

- 概論: 實際脈波準位。
- 數字系統: 補數運算及特殊數字碼。
- 基本邏輯閘: 各種邏輯閘的組合互換、時序分析、開集極及開汲極電氣特性。
- 布林代數: 基本定理、第摩根定理之運用, SSOP 表示式。
- 組合邏輯: 可程式邏輯元件、多工器、編碼器、比較器。
- 循序邏輯: 正反器類型判斷及時序分析、計數器時序分析、狀態圖表之運用、環形計數器。
- 工場安全: 滅火方法。
- 儀器使用: 示波器、邏輯分析儀功能。

二、配分比例表

數位邏輯	題數	數位邏輯實習	題數
概論	1	工場安全及衛生	1
數字系統	2	邏輯實驗儀器之使用	2
基本邏輯閘	1	基本邏輯閘實驗	3
布林代數及第摩根定理	2	組合邏輯實驗	1
布林函數化簡	1	加法器及減法器實驗	0
組合邏輯電路之設計及應用	2	組合邏輯電路應用實驗	2
正反器	2	正反器實驗	2
循序邏輯電路之設計及應用	2	循序邏輯電路應用實驗	1
合計	13	合計	12

第一部分：數位邏輯

_____ 1. 在傳輸七個位元的 ASCII 碼時，會採用偶同位或奇同位的驗證方式，並會置入一個同位位元(Parity Bit)，則此同位位元的產生無法使用何種邏輯閘來實現？

- (A)反及(NAND)閘 (B)或(OR)閘
(C)反或(NOR)閘 (D)互斥或(XOR)閘 基本邏輯閘

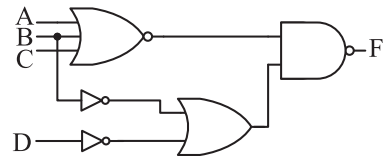
_____ 2. 下列邏輯閘何者不具結合性？

- (A)或(OR)閘 (B)及(AND)閘
(C)反或(NOR)閘 (D)互斥或(XOR)閘

布林代數及第摩根定理

_____ 3. 圖（一）邏輯電路利用第摩根(De Morgan)定理化簡之後，結果為下列何者？

- (A) $F = A + B$
(B) $F = \overline{A} + \overline{B} + \overline{C}$
(C) $F = A + B + C$
(D) $F = A + B + C + D$



圖（一）

布林代數及第摩根定理

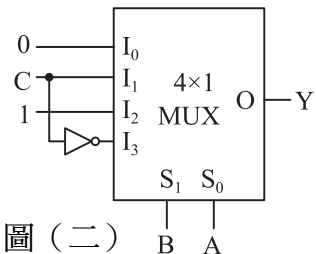
_____ 4. 有關可程式邏輯元件，若以 AND 陣列與 OR 陣列規劃方式來分類，下列敘述何者正確？

- (A) PROM 為 AND 陣列不可規劃，OR 陣列可規劃
(B) PAL 為 AND 陣列不可規劃，OR 陣列可規劃
(C) PLA 為 AND 陣列不可規劃，OR 陣列可規劃
(D) PAL 為 AND 陣列可規劃，OR 陣列可規劃

組合邏輯電路之設計及應用

_____ 5. 圖（二）所示之電路，其輸出的布林函數 $Y = F(A, B, C)$ 為下列何者？

- (A) $Y = \Sigma(2, 3, 4, 6)$
(B) $Y = \Sigma(2, 4, 5, 6)$
(C) $Y = \Sigma(2, 4, 6, 7)$
(D) $Y = \Sigma(2, 3, 5, 6)$



圖（二）

組合邏輯電路之設計及應用

A 1.(B) 2.(C) 3.(C) 4.(A) 5.(D)

- ___ 6. 布林函數 $X = \bar{A} + \bar{A}BC + ABC\bar{C}$ ，使 $X=1$ 的輸入組合總共有幾種？
 (A) 4 種 (B) 5 種 (C) 6 種 (D) 7 種

布林函數化簡

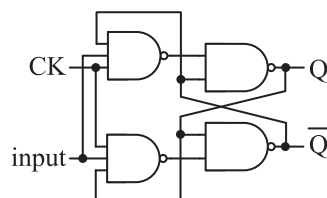
- ___ 7. 十進位數 - 55 以 2'S 補數可表示為：
 (A) 10110111₍₂₎ (B) 11010110₍₂₎
 (C) 11001001₍₂₎ (D) 11001011₍₂₎

數字系統

- ___ 8. 代表英文字母"q"之 ASCII 碼為 71₍₁₆₎，則代表字母"k"之 ASCII 碼為下列何者？
 (A) 73₍₁₆₎ (B) 75₍₁₆₎ (C) 63₍₁₆₎ (D) 6B₍₁₆₎

數字系統

- ___ 9. 圖(三)屬於下列何種電路？
 (A) SR 正反器
 (B) JK 正反器
 (C) D 型正反器
 (D) T 型正反器



圖(三)

正反器

- ___ 10. 承上題把 CK 接到邏輯 1，若 input 腳輸入一週期性方波，則 Q 之輸出狀態為下列何者？
 (A)維持目前邏輯值 (B)為週期性方波
 (C)為邏輯 0 (D)為邏輯 1

正反器

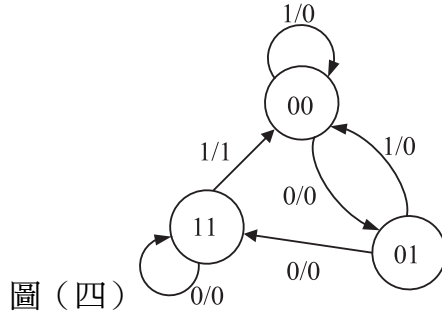
- ___ 11. 一個除 2^4 下數計數器，當計數顯示為 0010₍₂₎時，再經 4 個時脈輸入後，其新數值顯示應為下列何者？
 (A) 0100₍₂₎ (B) 0110₍₂₎ (C) 1110₍₂₎ (D) 1010₍₂₎

循序邏輯電路之設計及應用



6.(C) 7.(C) 8.(D) 9.(D) 10.(B) 11.(C)

- _____ 12. 圖(四)為一狀態圖表，當現在狀態為 11 時，依序輸入 0 及 1 之後，則狀態表中的「下次狀態」與「輸出」邏輯值依序分別為下列何者？



現在 狀態	下次狀態		輸出	
	輸入 0	輸入 1	輸入 0	輸入 1
00				
01				
11				

- (A) 01, 00, 0, 0 (B) 01, 11, 0, 0 (C) 11, 01, 0, 0 (D) 11, 00, 0, 1

循序邏輯電路之設計及應用

- _____ 13. 有關數位邏輯波形之下降時間定義，下列何者正確？

- (A) 電壓準位 10%至 90%的間隔時間
 (B) 電壓準位 50%至 0%的間隔時間
 (C) 電壓準位 90%至 10%的間隔時間
 (D) 電壓準位 100%至 90%的間隔時間

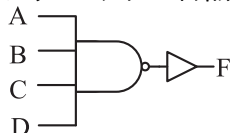
概論

A

12.(D) 13.(C)

第二部分：數位邏輯實習

- ___ 1. 如圖（五）所示，當 A 端輸入為 1kHz 的方波，B 端輸入為 1，C 端輸入為 0，D 端輸入為 1，則 F 端輸出信號為：



圖（五）

- (A) 相位超前的 1kHz 方波 (B) 相位落後的 1kHz 方波
(C) 1 (D) 0

基本邏輯閘實驗

- ___ 2. 數位介面電路設計常用的 I²C (Inter - Integrated Circuit) 匯流排中，其資料及時脈兩條引線都採用 CMOS 開汲極(Open Drain)或 TTL 開集極(Open Collector)的方式連接，因此在使用 I²C 匯流排時，下列敘述何者錯誤？

- (A) 兩條引線接腳的內部電晶體在導通時，為接地的邏輯低準位
(B) 兩條引線接腳都需各連接一個提升電阻到工作電壓的電源端
(C) 兩條引線接腳不導通時，形同斷線浮接
(D) 因為兩條引線接腳的輸出端皆為開路狀態，在兩條引線上不可接成線接及(Wired-AND)閘

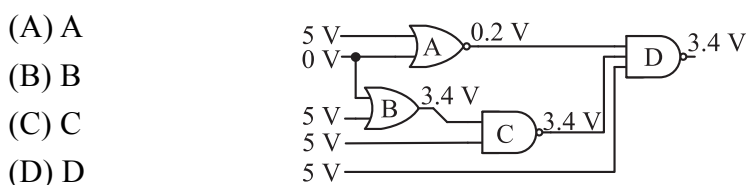
基本邏輯閘實驗

- ___ 3. 數位邏輯實習需一個 4 輸入的 NOR 閘時，則最少需要幾個 2 輸入 NOR 閘來實現？

- (A) 3 個 (B) 5 個 (C) 6 個 (D) 7 個

組合邏輯實驗

- ___ 4. 實驗時，一個組合邏輯電路與各邏輯閘的輸入 / 輸出所量測到的電壓如圖（六）所示，則圖中哪一個邏輯閘的功能發生異常？

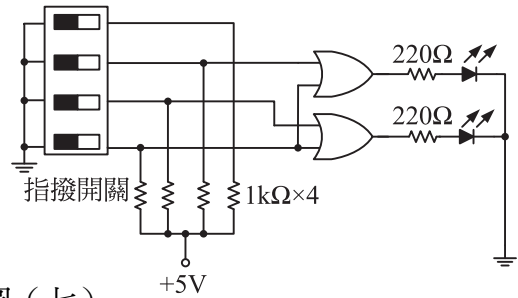


圖（六）

基本邏輯閘實驗

- A** 1.(C) 2.(D) 3.(B) 4.(C)

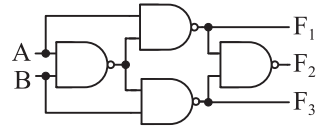
- _____ 5. 一個 TTL 邏輯實驗的電路如圖(七)所示，此邏輯電路的功能為何？
 (A)解碼器
 (B)編碼器
 (C)多工器
 (D)解多工器



圖(七)

組合邏輯電路應用實驗

- _____ 6. 圖(八)所示的邏輯電路，其功能為下列何者？
 (A)比較器
 (B)減法器
 (C)半加器
 (D)多工器



圖(八)

組合邏輯電路應用實驗

- _____ 7. 四種常用的滅火方法中，將可燃物移除，使燃燒反應因缺少可燃物而停止燃燒的方法為：
 (A)隔離法 (B)窒息法 (C)冷卻法 (D)抑制法

工場安全及衛生

- _____ 8. 有關示波器面板上的 EXT TRIG 接頭之功能，下列敘述何者正確？
 (A)外部輸入觸發時基產生信號
 (B)外部觸發探棒衰減倍率調整
 (C)輸出至外部觸發波形輔助通道
 (D)輸出至外部觸發同步信號

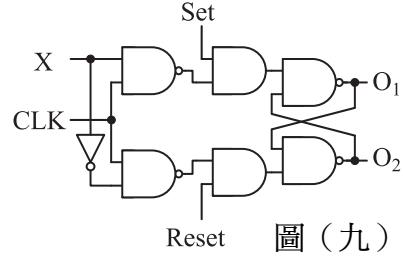
邏輯實驗儀器之使用

- _____ 9. 在邏輯實驗中如欲分析多個腳位之時序，則採用下列何種儀器最適當？
 (A)數位 IC 測試器 (B)函數波形產生器
 (C)邏輯測試棒 (D)邏輯分析儀

邏輯實驗儀器之使用

A 5.(B) 6.(A) 7.(A) 8.(A) 9.(D)

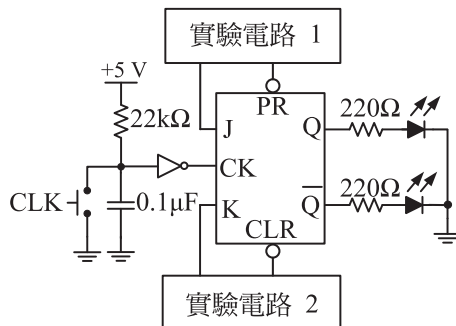
10. 數位邏輯實驗時，若以邏輯閘完成了圖(九)電路，則此電路之功能與下列哪個正反器較相符？



- (A)
- (B)
- (C)
- (D)

正反器實驗

11. 圖(十)為正反器實驗電路，J、PR、K、CLR 腳分別接到實驗電路 1 與 2，通電後發現兩個 LED 一直都亮，則最有可能發生下列哪種情況？



圖(十)

- (A)兩個 LED 極性接反了 (B)PR 及 CLR 短路到 GND
 (C)CLK 按鍵卡住 (D)J、K 皆空接
12. 脈波產生器實習中，若需要產生一個 25%工作週期之脈波信號，下列何種電路可以直接實現？
 (A)四位元的環型計數器 (B)四位元同步式上數計數器
 (C)四位元非同步式上數計數器 (D)四位元同步式下數計數器

循序邏輯電路應用實驗

A 10.(A) 11.(B) 12.(A)



休息一下！看我一眼，茅塞頓開

解 析

第一部分：數位邏輯

- (1) 一般傳輸電路之同位元驗證是採用 XOR 或 XNOR 完成。
 (2) XOR 及 XNOR 可由 NAND 或 NOR 等萬用閘實現，故 NAND 或 NOR 亦可組合成 XOR 或 XNOR 進行同位元驗證。
 (3) OR 閘無法組合出 XOR 或 XNOR，故無法進行同位元驗證。
- 結合性：
 - 或閘： $F=A+B+C=(A+B)+C=A+(B+C)$ 。
 - 及閘： $F=A \cdot B \cdot C=(A \cdot B) \cdot C=A \cdot (B \cdot C)$ 。
 - 反或閘：無結合性特性。
 - 互斥或閘： $F=A \oplus B \oplus C=(A \oplus B) \oplus C=A \oplus (B \oplus C)$ 。
- 由原圖，

$$F = \overline{\overline{(A+B+C)} \cdot \overline{(B+D)}} = \overline{\overline{(A+B+C)} + \overline{(B+D)}} = \overline{(A+B+C) + \overline{\overline{B}} \cdot \overline{\overline{D}}} = \overline{A+B+C+BD}$$

$$= A+B(1+D)+C=A+B+C。$$

- PROM：AND 陣列不可規劃，OR 陣列可規劃；
 PAL：AND 陣列可規劃，OR 陣列不可規劃；
 PLA：AND 陣列及 OR 陣列均可規劃。
- 將多工器輸入輸出邏輯整理如下真值表：

輸入			輸出
S ₀	S ₁	C	Y
0	0	0	I ₀ =0
0	0	1	I ₀ =0
0	1	0	I ₂ =1
0	1	1	I ₂ =1
1	0	0	I ₁ =C=0
1	0	1	I ₁ =C=1
1	1	0	I ₃ = \overline{C} =1
1	1	1	I ₃ = \overline{C} =0

$$\therefore Y = \overline{A} \overline{B} \overline{C} + \overline{A} B \overline{C} + A \overline{B} C + A B \overline{C} = \sum(2, 3, 5, 6)。$$

6. $X = \bar{A} + \bar{A}BC + A\bar{B}\bar{C} = \bar{A} \bar{B} \bar{C} + \bar{A} \bar{B} C + \bar{A} B \bar{C} + \bar{A} B C + A \bar{B} \bar{C} + A \bar{B} C + A B \bar{C} = \sum(0,1,2,3,5,6)$

∴ X=1 的輸入組合共有 6 種。

7. $55_{(10)} = 00110111_{(2)}$ ，
 $-55_{(10)}$ 的 2'S 為 $55_{(10)}$ 的反相再+1

∴ $-55_{(10)} = \overline{00110111}_{(2)} + 1_{(2)} = 11001000_{(2)} + 1_{(2)} = 11001001_{(2)}$ 。

8.

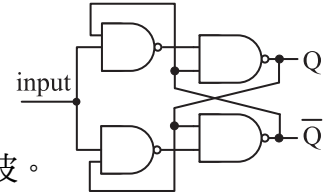
英文字母排序	……	k	l	m	n	o	p	q
ASCII 碼	……	6B ₍₁₆₎	6C ₍₁₆₎	6D ₍₁₆₎	6E ₍₁₆₎	6F ₍₁₆₎	70 ₍₁₆₎	71 ₍₁₆₎

9. 如題圖為 T 型正反器電路圖。

10. 因 CK=1，故電路圖可簡化如附圖，

若 Q 與 \bar{Q} 的初始值分別為 0 及 1 時，

則當 input 輸入訊號後，輸出 Q 的波形會等於 input，
 即 input 輸入週期性方波，Q 的輸出狀態亦為週期性方波。



11.

時序	計數值
現值	0 0 1 0 } -1
1	0 0 0 1 } -1
2	0 0 0 0 } -1
3	1 1 1 1 } -1
4	1 1 1 0 } -1

12. 由狀態圖可得狀態表如下：

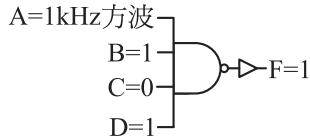
現在狀態	下次狀態		輸出	
	輸入0	輸入1	輸入0	輸入1
0 0	0 1	0 0	0	0
0 1	1 1	0 0	0	0
1 1	1 1	0 0	0	1

答案

13. 下降時間 t_f ：電壓波形後緣準位 90%至 10%的間隔時間；
 上升時間 t_r ：電壓波形前緣準位 10%至 90%的間隔時間；
 儲存時間 t_s ：電壓波形後緣準位 100%至 90%的間隔時間；
 延遲時間 t_d ：電壓波形前緣準位 0%至 10%的間隔時間；
 脈波寬度 t_w ：電壓波形前緣準位 50%至後緣準位 50%的時間。

第二部分：數位邏輯實習

1. 依 4 輸入反及開真值表可知，輸入端中若有“0”，則輸出必為“1”。

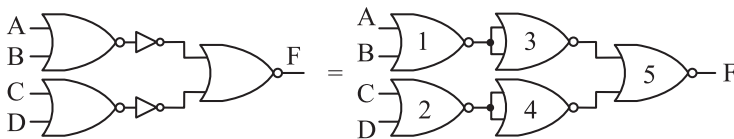


2. (1) OD 或 OC 電路在內部電晶體 ON 時，輸出為低電位。電晶體 OFF 時，輸出端形同浮接，使用時需連接提升電阻至電源端，以產生高準位狀態。
 (2) 兩個 OC 或 OD 電路的輸出接腳可直接接在一起，再經提升電阻接至電源端後，相當於兩輸出作 AND 運算，稱為線接及 (Wired-AND) 閘。

3. 4 輸入 NOR 閘： $F = \overline{A+B+C+D}$ ；

$$F = \overline{A+B+C+D} = \overline{(A+B)+(C+D)} = \overline{(A+B)} \cdot \overline{(C+D)}$$

電路圖：



4. 邏輯閘 A 為 NOR 閘： $\frac{1}{(5V)} + \frac{0}{(0V)} = \frac{0}{(0.2V)}$ \Rightarrow 功能正常；

邏輯閘 B 為 OR 閘： $\frac{0}{(0V)} + \frac{1}{(5V)} = \frac{1}{(3.4V)}$ \Rightarrow 功能正常；

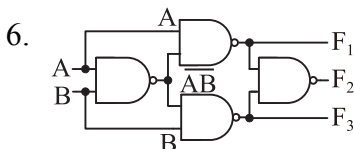
邏輯閘 C 為 NAND 閘： $\frac{1}{(3.4V)} \cdot \frac{1}{(5V)} = \frac{0}{(3.4V)}$ \Rightarrow 功能異常 (輸出應接近 0V)；

邏輯閘 D 為 NAND 閘： $\frac{0}{(0.2V)} \cdot \frac{1}{(3.4V)} \cdot \frac{1}{(5V)} = \frac{1}{(3.4V)}$ \Rightarrow 功能正常。

5. 觀察電路圖可知：

- (1) 輸入指撥開關為 4 個 ($m=4$)。
 (2) 輸出 LED 為 2 個 ($n=2$)。
 (3) \because 輸入數量 $>$ 輸出數量 ($m > n$)
 \therefore 此電路功能為 4 對 2 編碼器。

輸入 指撥開關				輸出 LED
1	1	1	0	0 0
1	1	0	1	0 1
1	0	1	1	1 0
0	1	1	1	1 1



$$F_1 = \overline{A \cdot \overline{AB}} = \overline{A} + AB = (\overline{A} + A)(\overline{A} + B) = 1 \cdot (\overline{A} + B) = \overline{A} + B,$$

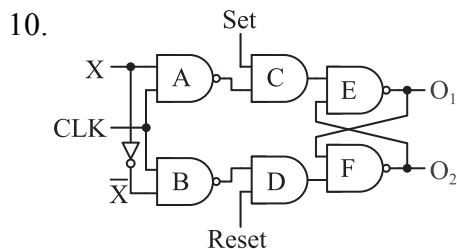
$$F_3 = \overline{B \cdot \overline{AB}} = \overline{B} + AB = (\overline{B} + A)(\overline{B} + B) = (A + \overline{B}) \cdot 1 = A + \overline{B},$$

$$F_2 = \overline{F_1 \cdot F_3} = \overline{(\overline{A} + B)(A + \overline{B})} = \overline{(\overline{A} + B)} + \overline{(A + \overline{B})} = AB + \overline{A}\overline{B},$$

A	B	F ₁	F ₂	F ₃
0	0	1	0	1
0	1	1	1	0
1	0	0	1	1
1	1	1	0	1

∴此為低態動作之比較器，
 F₁=0 時為 A>B (1>0)；
 F₂=0 時為 A=B (0=0 或 1=1)；
 F₃=0 時為 A<B (0<1)。

7. (B)窒息法：除去助燃物，排除、隔絕或稀釋空氣中的氧氣。
 (C)冷卻法：減少熱能，使可燃物的溫度降低到燃點以下。
 (D)抑制法：破壞連鎖反應，加入可破壞或阻礙燃燒連鎖反應的物質。
8. 當示波器之“觸發信號來源”開關 (TRIG SOURCE) 置於“EXT”位置時，則示波器可由“EXT TRIG”接頭取得外部輸入信號當作時基觸發信號。
9. (A)數位 IC 測試器為檢測數位 IC 之功能或妥善率之儀器。
 (B)函數波形產生器非量測儀器，無法量測數位接腳之時序。
 (C)邏輯測試棒可量測數位接腳之時序，但通常同一時間僅能測量 1 支數位接腳之時序。
 (D)邏輯分析儀可同時量測多通道數位接腳之時序波形。



- (1) 輸入信號 X 輸入 A 邏輯閘， \overline{X} 則輸入 B 邏輯閘
 ∴可判斷為 D 型正反器。
- (2) Set=0 時，C 邏輯閘輸出必為“0”，傳入 E 邏輯閘後，輸出端 O₁ 必為“1”，所以 Set 為低態動作的預置輸入，同理，Reset 為低態動作的清除輸入。
- (3) CLK=0 時，A、B 邏輯閘輸出恆為“1”，電路無法依 X 信號運行，CLK=1 時，X 信號之變化方可反應至輸出端，所以 CLK 為高準位觸發。
- (4) 故選項(A)之正反器符號最為相符。

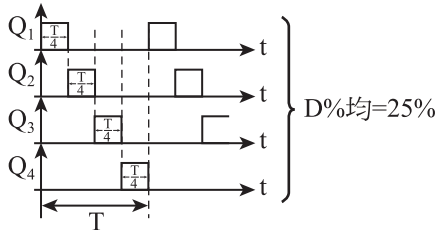
11. (A)兩個 LED 極性接反，則都不會亮。

(B)PR 及 CLR 均為低態動作，若均不慎短路至 GND，則 PR=0，使 Q=1，CLR=0 使 $\bar{Q}=1$ ，故使 2 個 LED 均亮。

(C)(D)CLK 按鍵卡住或 J、K 空接均不影響輸出之正常功能，Q 與 \bar{Q} 均會維持目前邏輯值，LED 一亮一滅。

12. (A)四位元環形計數器的四個輸出端波形均為 D%=25%之脈波信號

($D\% = \frac{1}{n} \times 100\% = \frac{1}{4} \times 100\% = 25\%$)，只是相位不同。



(B)(C)(D)四位元計數器（無論上數下數，同步或非同步）的四個輸出端波形均為 D%=50%之脈波信號，只是頻率不同。

